

PHOTODETECTOR AND MANUFACTURE THEREOF

Publication number: JP6296035

Publication date: 1994-10-21

Inventor: ONODERA KIYOMITSU; NAKATSUGAWA SEIJI;
MURAGUCHI MASAHIRO

Applicant: NIPPON TELEGRAPH & TELEPHONE

Classification:

- international: H01L27/146; H01L31/10; H01L31/10; H01L27/146;
H01L31/10; H01L31/10; (IPC1-7): H01L31/10;
H01L27/146

- european:

Application number: JP19930080877 19930407

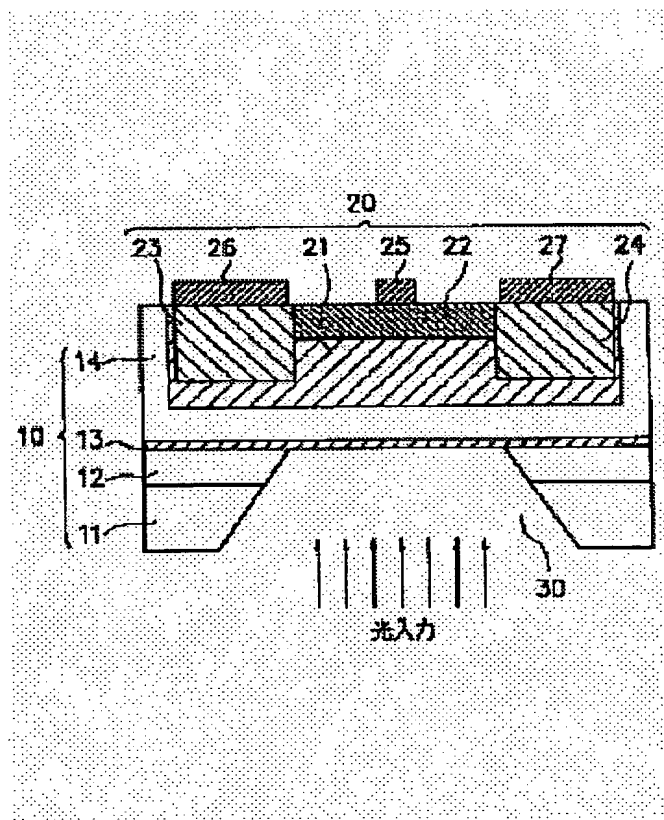
Priority number(s): JP19930080877 19930407

Report a data error here

Abstract of JP6296035

PURPOSE: To provide a manufacturing method for a photodetector, on which optical coupling coefficient and light-receiving sensitivity are improved and a highly efficient semiconductor electronic device is used.

CONSTITUTION: In this photodetector consisting of a MESFET 20 formed in such a manner that an electrode becomes both sides of a semiconductor substrate 10, a light-introducing window, which reaches the lower part of the MESFET 20 from both sides of the semiconductor substrate 10, is provided on the part corresponding to the MESFET 20 of the semiconductor substrate 10. As a result, the light impinged upon the MESFET 20 can be made incident from the non-electrode side via the light-introducing window 30, and the light can be impinged efficiently.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-296035

(43)公開日 平成6年(1994)10月21日

(51)Int.Cl.⁵

H 0 1 L 31/10
27/146

識別記号

庁内整理番号

F I

技術表示箇所

8422-4M

7210-4M

H 0 1 L 31/ 10

27/ 14

E

A

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21)出願番号

特願平5-80877

(22)出願日

平成5年(1993)4月7日

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72)発明者 小野寺 清光

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72)発明者 中津川 征士

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72)発明者 村口 正弘

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

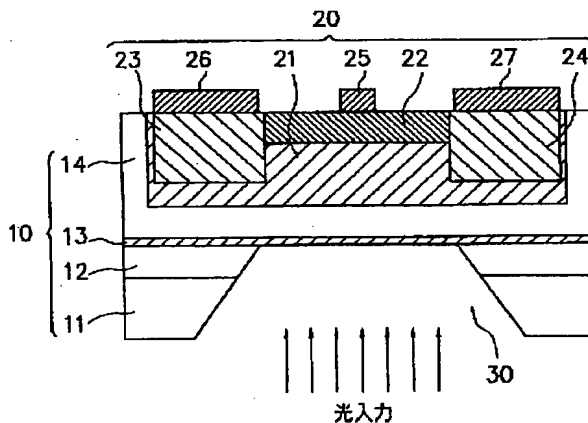
(74)代理人 弁理士 吉田 精孝

(54)【発明の名称】 光検出器及びその製造方法

(57)【要約】

【目的】 光結合係数を向上させ、受光感度を向上させた、高性能な半導体電子デバイスを用いた光検出器及びその製造方法を提供する。

【構成】 電極が半導体基板10の一方の面側のみとなるように形成されたMESFET20からなる光検出器において、半導体基板10のMESFET20に対応する部分に、該半導体基板10の他方の面側からMESFET20の下部に達する光導入用窓30を設けたことにより、MESFET20に入射させる光を、光導入用窓30を通して電極のない面側から入射させることが可能となり、光を有効に入射させることが可能となる。



【特許請求の範囲】

【請求項 1】 電極が半導体基板の一方の面側のみとなるように形成された半導体電子デバイスからなる光検出器において、

半導体基板の半導体電子デバイスに対応する部分に、該半導体基板の他方の面側から半導体電子デバイスの下部に達する光導入用窓を設けたことを特徴とする光検出器。

【請求項 2】 第 1 の半導体層上に、該第 1 の半導体層のみを選択的にエッチング可能とする第 2 の半導体層を積層する工程と、
第 2 の半導体層上に半導体電子デバイスを作製する工程と、
半導体電子デバイスに対応する部分の第 1 の半導体層をエッチングし、光導入用窓を形成する工程とからなることを特徴とする光検出器の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、光通信、無線通信等に利用される高周波 IC の構成素子である光検出器及びその製造方法に関するものである。

【0002】

【従来の技術】従来より、光／電気変換モジュールとしてフォトダイオードが一般的に用いられており、該フォトダイオードを光検出器として用い、電気処理部を構成するトランジスタとともに集積化した光電子集積回路

(OEIC) が実現されている (例えば、IEEE J.Light wave Tech., Vol.8, 846 (1990) M.Dagenaise et al., "Application and Challenges of OEIC Technology: A Report on the 1989 HiltonHead Workshop" 参照)。しかしながら、フォトダイオードとトランジスタとは高性能化のためのデバイス設計 (エピタキシャル結晶の構成等) が大きく異なり、同一チップ上に高性能に集積化することは困難であった。

【0003】一方、MESFET、HEMT 等の半導体電子デバイスをそのまま光検出器として用いる OEIC も提案されており、この構成によれば、光検出器及び電気処理部を同じトランジスタで構成できるため、集積化が容易であった (例えば、信学会技術研究報告、MW92-56 (1992)、馬場 他「マイクロ波・ミリ波デバイスによる光検出の検討」参照)。

【0004】図 2 は前述した従来の光検出器の一例、ここでは FET による光検出器を示すもので、半導体基板 1 の上面 1a にゲート電極 2、ソース電極 3 及びドレイン電極 4 を形成し、該基板 1 の上面 1a 側から光を入射させるようになっている。この構成では、入射された光の一部が電極 2、3 及び 4 の部分で反射されてしまい、光結合係数を大きくすることができず、また、光電効果が最も効率良く生じるゲート電極 2 の下部での反応を有効に利用することができないという問題があった。

【0005】また、前記光検出器において、光が半導体基板 1 に十分当たるように、ゲート電極 2 とソース電極 3 との間及びゲート電極 2 とドレイン電極 4 との間を広くすると、半導体電子デバイスとしての増幅特性が劣化し、この結果、受光感度も低下させてしまうという問題があった。

【0006】このように、光を基板の上面側から入射させる従来の光検出器では、受光感度の向上に限界があった。

【0007】

【発明が解決しようとする課題】本発明は前記従来の問題点を鑑み、半導体電子デバイスをそのまま光検出器として用いる OEIC を実現するため、光結合係数を向上させ、受光感度を向上させた、高性能な半導体電子デバイスを用いた光検出器及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明では前記目的を達成するため、電極が半導体基板の一方の面側のみとなるように形成された半導体電子デバイスからなる光検出器において、半導体基板の半導体電子デバイスに対応する部分に、該半導体基板の他方の面側から半導体電子デバイスの下部に達する光導入用窓を設けた光検出器、並びに第 1 の半導体層上に、該第 1 の半導体層のみを選択的にエッチング可能とする第 2 の半導体層を積層する工程と、第 2 の半導体層上に半導体電子デバイスを作製する工程と、半導体電子デバイスに対応する部分の第 1 の半導体層をエッチングし、光導入用窓を形成する工程とからなる光検出器の製造方法を提案する。

【0009】

【作用】本発明装置によれば、半導体電子デバイスに入射させる光を、光導入用窓を通して電極のない面側から入射させることが可能となり、光を有効に入射させることが可能となり、光結合係数及び受光感度を大幅に向上させることができる。また、本発明方法によれば、第 2 の半導体層を設けたことにより、バイアホールと同様のプロセスでプロセスマージンを大きく且つ安定して光導入用窓を形成することが可能となり、高性能な半導体電子デバイスを用いた光検出器を製造することができる。

【0010】

【実施例】図 1 は本発明の光検出器の第 1 の実施例を示すもので、ここでは半導体電子デバイスとして MESFET を用いた例を示す。図中、10 は半導体基板であり、GaAs 基板 11 上にノンドープ GaAs バッファ層 12、ノンドープ AlGaAs エッチングストップ層 13 及びデバイス作製用ノンドープ GaAs 層 14 を積層してなっている。また、20 は MESFET であり、前記デバイス作製用ノンドープ GaAs 層 14 に、埋め込み p 層 21、チャネル層 22、ソース用半導体層 23、ドレイン用半導体層 24、ゲート電極 25、ソース

電極26及びドレイン電極27を形成してなっている。また、30は光導入用窓であり、MESFET20に対応する部分の半導体基板10のうち、ノンドープGaAsバッファ層12までが除去されてなっている。

【0011】図3は図1の光検出器の製造工程を示すもので、以下、これに従って製造方法を説明する。

【0012】まず、GaAs基板11上にノンドープGaAsバッファ層12を200nm、ノンドープAlGaAsエッチングストップ層13を100nm、デバイス作製用ノンドープGaAs層14を5000nm、MBEやMOCVD等によって順次積層して半導体基板10を作製する(図3(a))。次に、半導体基板10に、フォトレジストをマスクとして、イオン注入法により、埋め込みp層21及びチャンネル層22を形成する(図3(b))。

【0013】次に、W、Ni等のゲート材料を積層し、フォトレジストをマスクとして、RIE等により、ゲート電極25を形成する(図3(c))。次に、ゲート電極25をマスクとして、セルフアライン的にソース用半導体層23及びドレイン用半導体層24を形成し、さらに、該半導体層上にSiO₂等のアニール保護膜を積層して、800℃、20分の活性化アニールを行なう(図3(d))。

【0014】次に、前記アニール保護膜(図示せず)を除去した後、リフトオフ法等により、ソース電極26及びドレイン電極27を形成し、MESFET20を作製する(図3(e))。

【0015】最後に、半導体基板10の裏面から、フォトレジストをマスクとして、塩素系ガスをを用いたRIE又はウェットエッチングにより、エッチングストップ層13まで、GaAs基板11及びノンドープGaAsバッファ層12をエッチングして、MESFET20の下部に光導入用窓30を空け、図1に示すような光検出器を得る。

【0016】本実施例では、GaAs基板11及びノンドープGaAsバッファ層12に対し、エッチングストップ層13としてAlGaAsを用いたが、GaP、InAs、InP、AlGaP、InGaAs、InAlAs等でも同様に大きなエッチング選択比を得ることができる。また、本実施例では、イオン注入型GaAs MESFETを用いたが、エピタキシャル成長チャンネルを有するMESFETでも同様に製造できる。

【0017】図4は本発明の第2の実施例を示すもので、ここでは半導体電子デバイスとしてHEMTを用いた例を示す。図中、40は半導体基板であり、InP基板41上にノンドープInPバッファ層42及びノンドープInAlAsエッチングストップ層43を積層してなっている。また、50はHEMTであり、前記半導体基板40上に、ノンドープInGaAsチャネル層51、n型InAlAs電子供給層52、ソース用半導体層53、ドレイン用半導体層54、ゲート電極55、ソ

ース電極56及びドレイン電極57を作製してなっている。また、60は光導入用窓であり、HEMT50に対応する部分の半導体基板40のうち、ノンドープInPバッファ層42までが除去されてなっている。

【0018】図5は図4の光検出器の製造工程を示すもので、以下、これに従って製造方法を説明する。

【0019】まず、InP基板41上にノンドープInPバッファ層42を200nm、ノンドープInAlAsエッチングストップ層43を200nm、ノンドープInGaAsチャネル層51を50nm、n型InAlAs電子供給層52、ソース及びドレイン用n型InAlAs半導体層及びn型InGaAs半導体層58を、MBEやMOCVD等によって順次積層する(図5(a))。

【0020】次に、フォトレジストをマスクとして、塩素系ガスをを用いたRIEにより、デバイス分離のためのメサエッチングを行なう(図5(b))。次に、フォトレジストをマスクとして、AuGe/Ni等のオーミック電極材料を堆積及びリフトオフし、ソース電極56及びドレイン電極57を形成する(図5(c))。

【0021】次に、フォトレジストをマスクとして、RIE等により、ゲート電極下部のソース及びドレイン用n型InAlAs半導体層及びn型InGaAs半導体層58を、n型InAlAs電子供給層52まで除去し、ソース用半導体層53及びドレイン用半導体層54を形成する(図5(d))。

【0022】次に、フォトレジストをマスクとして、ショットキー電極材料Ti/Pt/Auを堆積及びリフトオフして、ゲート電極55を形成し、HEMT50を作製する(図5(e))。

【0023】最後に、半導体基板40の裏面から、フォトレジストをマスクとして、塩素系ガスをを用いたRIE又はウェットエッチングにより、エッチングストップ層43まで、InP基板41及びノンドープInPバッファ層42をエッチングして、HEMT50の下部に光導入用窓60を空け、図4に示すような光検出器を得る。

【0024】本実施例では、InP基板41及びノンドープInPバッファ層42に対して、エッチングストップ層43としてInAlAsを用いたが、GaAs、InAs、InGaAs、InAlAs、AlGaAs等でも同様に大きなエッチング選択比を得ることができる。また、本実施例では、GaAs基板を用いた場合にも、第1の実施例と同様のエッチングストップ層を用いて光検出器を製造することができる。

【0025】図6は本発明の第3の実施例を示すもので、ここでは半導体電子デバイスとしてHBTを用いた例を示す。図中、70は半導体基板であり、GaAs基板71上に、ノンドープGaAsバッファ層72及びノンドープAlGaAsエッチングストップ層73を積層してなっている。また、80はHBTであり、前記半導体基板70上に、ノンドープGaAsコレクタ用半導体

層81、n型GaAs半導体層82、p型AlGaAsベース用半導体層83、n型AlGaAsエミッタ用半導体層84、ベース電極85、86、エミッタ電極87及びコレクタ電極88、89を作製してなっている。また、90は光導入用窓であり、HBT80に対応する部分の半導体基板70のうち、ノンドープGaAsバッファ層72までが除去されてなっている。

【0026】図7は図6の光検出器の製造工程を示すもので、以下、これに従って製造方法を説明する。

【0027】まず、GaAs基板71上にノンドープGaAsバッファ層72を200 nm、ノンドープAlGaAsエッチングストップ層73を100 nm、ノンドープGaAsコレクタ用半導体層81を200 nm、n型GaAs半導体層82を100 nm、p型AlGaAsベース用半導体層83を5 nm、n型AlGaAsエミッタ用半導体層84を20 nm、MBEやMOCVD等によって順次積層する(図7(a))。

【0028】次に、フォトリソistをマスクとして、塩素系ガスをを用いたRIEにより、エミッタ用半導体層84を形成する(図7(b))。次に、SiO₂を用いたサイドウォール101、102を形成した後、オーミック電極材料AuGe/Niを堆積し、Arミリングにより、エミッタ電極87を形成する(図7(c))。

【0029】次に、フォトリソistをマスクとして、Arミリングにより、ベース電極85、86を形成し、さらに、塩素系ガスをを用いたRIEによりベースメサエッチングし、ベース用半導体層83を形成する(図7(d))。

【0030】次に、フォトリソistをマスクとして、オーミック電極材料AuGe/Niを堆積及びリフトオフして、コレクタ電極88、89を形成し、さらに、フォトリソistをマスクとして、塩素系ガスをを用いたRIEにより素子間分離を行ない、HBT80を作製する(図7(e))。

【0031】最後に、半導体基板70の裏面から、フォトリソistをマスクとして、塩素系ガスをを用いたRIE又はウェットエッチングにより、エッチングストップ層73まで、GaAs基板71及びノンドープGaAsバッファ層72をエッチングして、HBT80の下部に光導入用窓90を空け、図6に示すような光検出器を得る。

【0032】なお、本実施例では、InP基板を用いた場合にも、第2の実施例と同様のエッチングストップ層を用いて光検出器を製造することができる。

【0033】

【発明の効果】以上説明したように本発明の光検出器によれば、電極が半導体基板の一方の面側のみとなるように形成された半導体電子デバイスからなる光検出器にお

いて、半導体基板の半導体電子デバイスに対応する部分に、該半導体基板の他方の面側から半導体電子デバイスの下部に達する光導入用窓を設けたため、半導体電子デバイスに入射させる光を、光導入用窓を通して電極のない面側から入射させることが可能となり、電極のある面から光を入射する場合に比べて、光を有効に入射させることが可能となり、光結合係数及び受光感度を大幅に向上させることができる。また、フォトダイオードを用いた場合に比べて、高速動作が可能であり、半導体電子デバイスの増幅作用を生かすことができる。

【0034】また、本発明の製造方法によれば、第1の半導体層上に、該第1の半導体層のみを選択的にエッチング可能とする第2の半導体層を積層する工程と、第2の半導体層上に半導体電子デバイスを作製する工程と、半導体電子デバイスに対応する部分の第1の半導体層をエッチングし、光導入用窓を形成する工程とからなるため、バイアホールと同様のプロセスでプロセスマージンを大きく、例えばエッチング選択比を100～1000程度にすることができ、安定して光導入用窓を形成することが可能となり、高性能な半導体電子デバイスを用いた光検出器を製造することができる。

【図面の簡単な説明】

【図1】本発明の光検出器の第1の実施例を示す断面図

【図2】従来の光検出器の一例を示す断面図

【図3】図1の光検出器の製造工程を示す図

【図4】本発明の光検出器の第2の実施例を示す断面図

【図5】図4の光検出器の製造工程を示す図

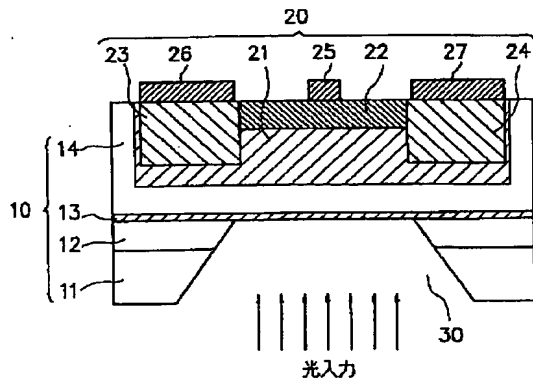
【図6】本発明の光検出器の第3の実施例を示す断面図

【図7】図6の光検出器の製造工程を示す図

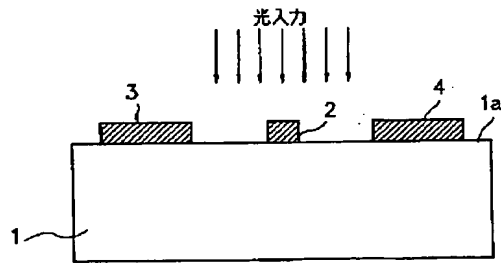
【符号の説明】

10、40、70…半導体基板、11、71…GaAs基板、12、72…ノンドープGaAsバッファ層、13、73…ノンドープAlGaAsエッチングストップ層、14…デバイス作製用ノンドープGaAs層、20…MESFET、21…埋め込みp層、22…チャネル層、23…ソース用半導体層、24…ドレイン用半導体層、25、55…ゲート電極、26、56…ソース電極、27、57…ドレイン電極、30、60、90…光導入用窓、41…InP基板、42…ノンドープInPバッファ層、43…ノンドープInAlAsエッチングストップ層、50…HEMT、51…ノンドープInGaAsチャネル層、52…n型InAlAs電子供給層、53…ソース用半導体層、54…ドレイン用半導体層、80…HBT、81…ノンドープGaAsコレクタ用半導体層、82…n型GaAs半導体層、83…p型AlGaAsベース用半導体層、84…n型AlGaAsエミッタ用半導体層、85、86…ベース電極、87…エミッタ電極、88、89…コレクタ電極。

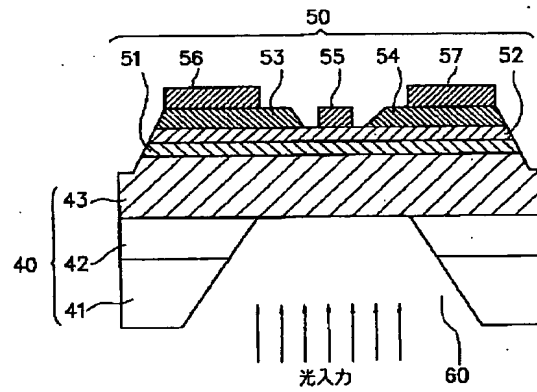
【図1】



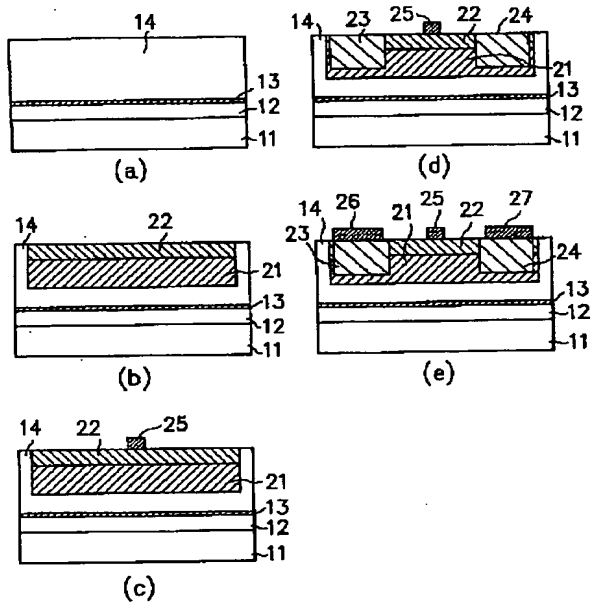
【図2】



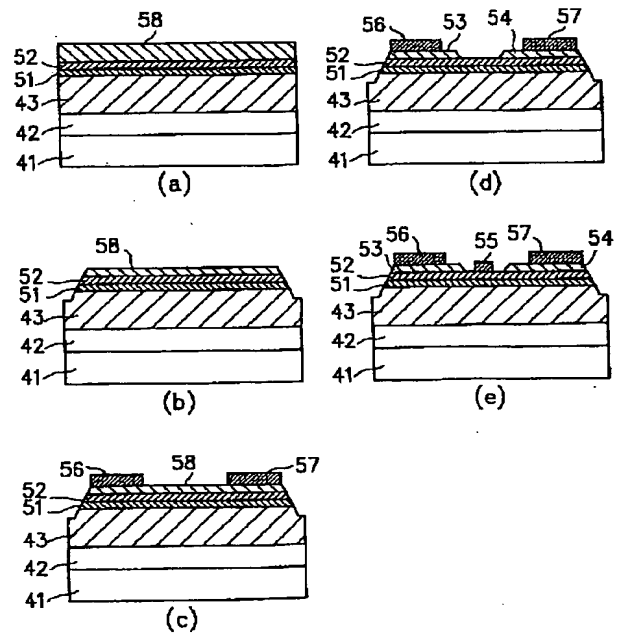
【図4】



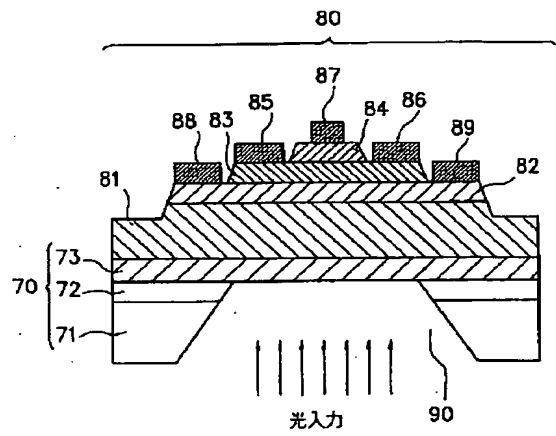
【図3】



【図5】



【図6】



【図7】

